

《様式B》

研究テーマ	「集積化マイクロ LED アレイ技術を用いた超小型投射表示装置の開発」		
研究責任者	所属機関名	豊橋技術科学大学	
	官職又は役職	教授	
	氏名	若原昭浩	メールアドレス wakahara@ee.tut.ac.jp
共同研究者	所属機関名	パイフォトンクス株式会社	
	官職又は役職	代表取締役	
	氏名	池田貴裕	

(平成 29 年度募集) 第 30 回 助成研究 完了報告書

1. 実施内容および成果ならびに今後予想される効果の概要 (1, 000 字程度)

本研究では、大学保有の技術を基に GaN 系マイクロ LED アレイおよび専用駆動回路を一体化することで、超小型のプロジェクタシステム実現に向けた基盤技術の開発を目的とした。

目的達成のため、本学で作製した 8x8 のマイクロ LED アレイを評価ボードに組み込み、ヒートシンクと一体化した評価デバイスを用いて、投影光学系、投影照度と駆動条件の関係を明らかにした。この結果を踏まえて、マイクロ LED の p 型電極側に絶縁層を設けて Al 反射膜を形成することにより、裏面へ放射される光損失を低減し、サファイア加工基板を導入することで光取り出し効率の向上を図った。これらの対策により、投影面における照度は、目標とする 1000 lx に迫る 700 lx が得られた。また、サファイア基板内を伝搬する光が、損失の大部分を占めることが確認できたため、今後、サファイア基板を除去し、マイクロ LED にマイクロレンズを集積化することで、目標照度を達成できる見通しが得られた。

次に、マイクロ LED アレイの大規模化を念頭に、大電流駆動時に LED に電流を供給する配線が断線する問題解決のため、電流駆動部と LED アレイのアドレス指定のための配線を分けた、駆動回路方式を考案し、試作・評価を行った。マイクロ LED の特性評価結果を基に、必要とされる駆動用トランジスタの IC の設計諸元を把握した結果、縦型構造のパワー MOSFET をアクティブマトリクス駆動方式によりアレイ化する新方式の回路を採用した。パワー MOSFET を大規模に集積するための、プロセスの考案と製造条件の確立に努めた結果、マイクロ LED 一画素分の面積で構築した駆動回路にて設計時要求仕様を超える電流駆動能力を達成できた。この結果を受けて、マイクロ LED アレイの特許を出願した。

今後、画素の微細化に向けた設計ルール確立、外部のファウンダリによる製造工程の確立、一体化した微小表示デバイスの寿命試験などをクリアすることで、本課題で開発したデバイスの社会実装が進められると期待される。

2. 実施内容および成果の説明（A4で、5ページ以内）

研究開発目標

本研究では、プレーナ技術を用いたマイクロ LED アレイを用いた超小型透写表示装置の実用化に向けて、以下の内容に取り組んだ。

- 各画素の駆動電流として、従来型の個別 LED を用いた表示デバイスの駆動電流密度実績値 ($1\text{A}/\text{mm}^2$) を超える値を達成する。各画素の駆動回路と LED を配線で接続する方式では、配線によるジュール損とエレクトロマイグレーションによる断線の問題が顕著となることから、電流を LED 駆動 IC チップ裏面から表面に流せる縦型 MOS トランジスタを内蔵した駆動 IC を開発し、LED と直結することで問題の解決を図る。
- 高解像度化した場合に問題となるマイクロ LED チップの冷却効率を向上させるため、イオン注入技術を用いて LED の素子分離にメサ構造を用いない平坦な LED アレイを実現し、駆動用 IC との金属接合面積を増やすことで、放熱効率の向上を図る。
- マイクロ LED アレイの小型化に対応する投影光学系を開発し、テスト機に搭載して投影性能を評価する。
- デバイスの試作は、将来的な量産時の生産性を考慮して、(a)縦型ゲート構造の n-MOSFET 駆動チップの作製、(b)市販の InGaN 量子井戸構造を有する LED 基板に対して研究代表者保有のイオン注入の特許技術を用いた工程によるマイクロ LED アレイチップの作製、(c)両チップを接合することで行う。（図 1）

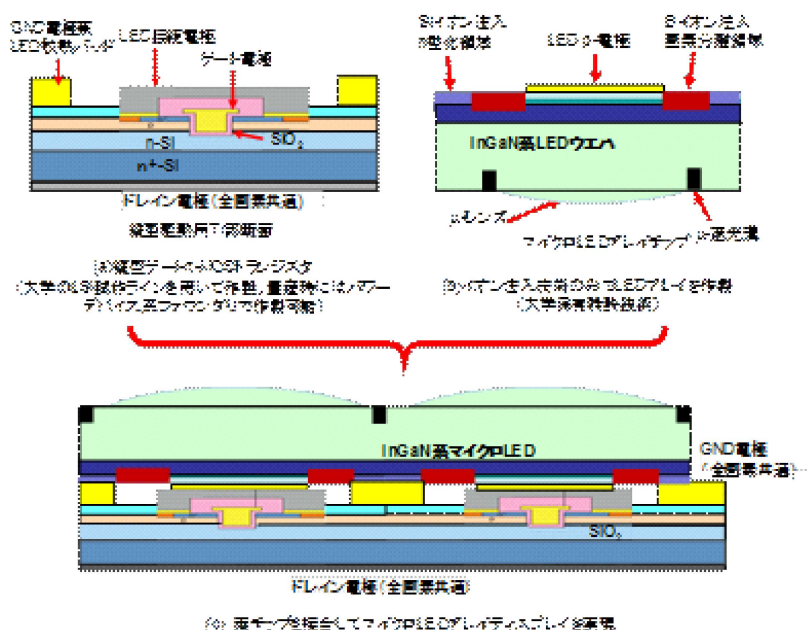


図 1 本課題で試作するマイクロ LED アレイ光源部の一体化作製工程概略

2. 駆動回路の試作・評価

マイクロ LED の駆動要求仕様に従い、駆動用トランジスタ 1 素子にて $1\text{A}/\text{mm}^2$ 以上の駆動能力を実現すると共に、配線によるジュール発熱、エレクトロマイグレーションによる断線問題解決のため、LED 駆動電流をウエハ面内に流れない V 型 FET を LED 駆動用 FET とし、画素選択用の nMOSFET 回路を通常のプレーナ集積技術を用いたハイブリッド形式の回路を設計し

表 1 LED 駆動回路の設計諸元

画素選択方式： アクティブマトリクス方式
 最大駆動電流： $10\text{A}/\text{mm}^2$ (LED $100\mu\text{m}\times 100\mu\text{m}$ LED に対して 100mA 以上)
 1画素専有面積： 駆動回路+セレクトを含めて1画素サイズに収める
 LED サイズ/LED 間隔が $100\mu\text{m}/100\mu\text{m}$ に対して $150\mu\text{m}\times 150\mu\text{m}$ 以内

VMOSFET の設計諸元：

ウエハ仕様： p-Si($4\mu\text{m}$)/n⁺-Si ウエハ
 ゲート長 $3\mu\text{m}$ 、ゲート幅 $100\mu\text{m}$ を 10 並列接続 (V 溝ゲートを 5 本並列接続)
 (111)面の MOS チャネル移動度として $100\text{cm}^2/\text{Vs}$ を仮定
 ゲート酸化膜厚 25nm
 しきい値電圧 0V 、ゲート電圧 7.5V にて、 $I_{\text{dsat}}=130\text{mA}$ ($13\text{A}/\text{mm}^2$)
 ($50\mu\text{m}$ LED の場合は、 $50\mu\text{m}$ 長 V 溝ゲート 3 本並列で 39mA)

た。本学試作 nMOSFET のモデルを用いて、要求される電流駆動能力 $1\text{A}/\text{mm}^2$ より、表 1 に示す VMOSFET の設計諸元を決定し、回路設計およびデバイス構造設計を行った。

縦型 V 溝ゲートのゲート長制御のため、作製工程中の熱履歴の管理方法および、KOH の徐洗工程の有効性を検証した後、表 1 および図 2 に示す構造として試作を行った。各工程の要素技術、プロセス条件を把握した後、試作を実施した。

図 3 に、試作デバイスの VMOSFET の電気的特性を示す。TEG の評価より抽出した諸元は、表 2 の通りであった。・ドレイン-ソース間電圧 (V_{DS}) が負電圧の場合に、負のドレイン電流が観測

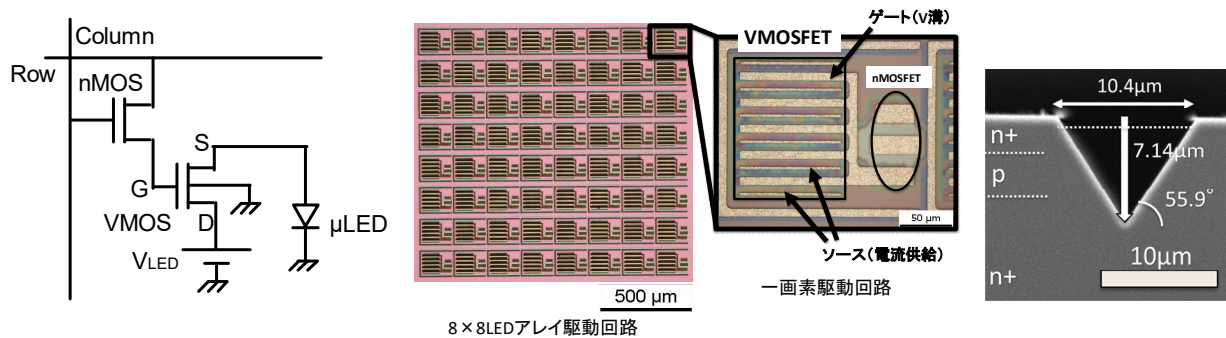


図 2 1画素分の等価回路、試作 IC の写真、およびゲート部 SEM 写真

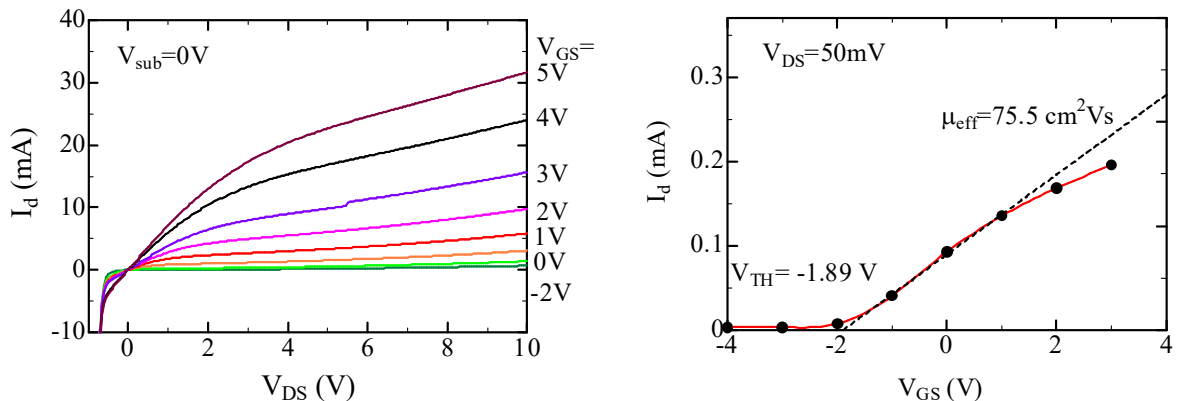


図 3 試作チップの VMOSFET の特性

されるが、この電流は、ソースとボディ（p-Si 層）間の np 接合には順バイアスが加わることになるため、ダイオードの順方向電流が流れる事によるものである。

試作 VMOSFET のしきい値電圧は-1.9V で有ったが、ゲート酸化膜厚をプロセスの安全を見て設計値より厚くした事によるシフト量が約 1.4V、(111)界面のゲート酸化膜形成中に隣接する n+層からの P 汚染の影響が 0.5V と見積もられた。この設計値からのしきい値のずれは、ゲート酸化膜形成後に B イオン注入を行うことで充分修正が可能である。

ゲート-ソース間電圧(V_{GS})が 10V 付近を越えると、ソース領域の n 層、ボディの p 層、および基板下層のドレイン領域の n 層が構成する n-p-n 構造が、寄生バイポーラトランジスタとして動作し始めるため、 V_{GS} の上限は 7V 程度に制限される。

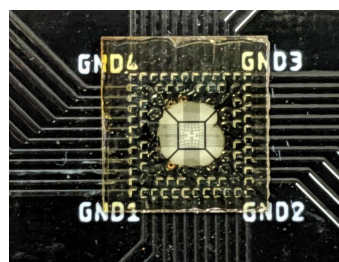
チャネル移動後は、想定 of $100\text{cm}^2/\text{Vs}$ よりも低かったため、要求仕様を満足するためには、マイクロ LED サイズが $100\mu\text{m}$ の場合には、ゲート幅を $1500\mu\text{m}$ とする必要がある。この場合に於いても、1 画素分の面積が $200\mu\text{m}$ 有ることから、開発目標値を達成可能であることが確認できた。

3. マイクロ LED アレイチップ

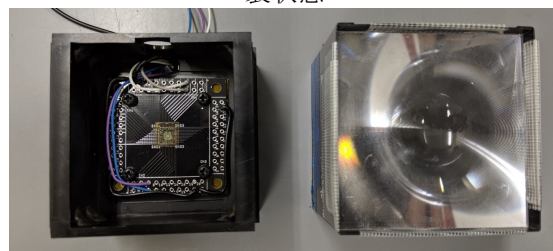
駆動ICの開発と並行して、マイクロLEDの動作試験用に、面内配線により測定用のパッドを有するLEDアレイを作製し、発光特性および動作時の発熱特性の試験を実施した。マイクロLEDの構造は、引き出し電極の追加以外は、最終形態と同じ構造とし、引き出し配線の電流上限は100mAとして8×8のアレイを作製した。電気的特性及び発光特性は、LED評価用ボードを作製し、クリーム半田にて接続して試験を実施した。発光性能の評価は、LEDの裏面側と成るサファイア基板を通して行った。(図4)

この評価試験の構成に於いて、破壊限界試験を行った結果、 $100\mu\text{m} \times 100\mu\text{m}$ LED 1画素に対して、当初仕様の100mA($10\text{A}/\text{mm}^2$ に相当)を越える140mAまで電流を流して試験が可能であることを確認した(表4)。

試験用マイクロLEDからの照度評価試験は、共同研究先のパイフォトンクスが試作したホロライト型の光学系を用い、LEDから5mの距離にて照度計を用いて実施した。その結果、LED裏面からの照度は、目標値の約1/60であった。配線側への放射損失の低減に、配線上の絶縁膜表面にAlミラーを形成することで照度は700 lxまで改善された。残りの損失は、サファイア基板内をLEDからの光が伝搬することによる導波損であることが確認できたため、駆動用ICとマイクロLEDアレイを積層接続後にサファイ



(a)試験用 8×8LED アレイの評価ボードへの実装状態

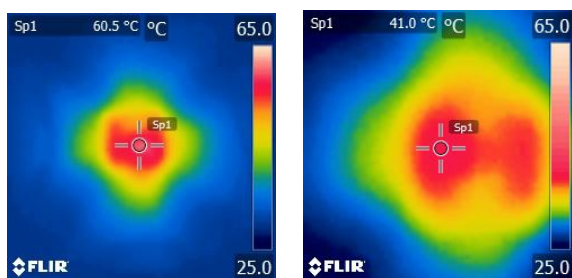


(b)照度評価光学系に装着した評価ボード。
右は光束平行化用のレンズ

図4 照度試験用のセットアップ

表4 試験評価LEDアレイの駆動試験結果

V_F [V]	I_F [mA]	Luminance [lx]	Background subs [lx]
0.00	0.00	0.1	0.0
3.00	0.71	1.6	1.5
5.00	18.96	19.3	19.2
6.00	39.26	29.2	29.1
7.00	67.49	39.4	39.3
8.00	97.59	50.5	50.4
9.00	133.61	61.9	61.8



(a) ヒートシンク無し (b) Cu ヒートシンクを設置

図5 試験用マイクロLEDアレイの130mA、15分動作後の温度分布計測結果。ヒートシンク無しは、 α ゲルを介してAl製基板に接触している状態

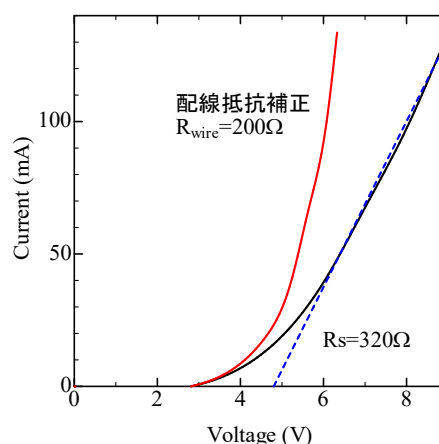


図6 マイクロLEDの電流-電圧特性

ア基板を除去して導波損失の低減を図ることで、目標値を充分達成可能であるという見通しを得た。マイクロLEDの発熱・放熱問題に対する評価は、試験用マイクロLEDを用いて通電15分後のLED温度をサーモグラフィにて計測した。1画素のみを120mAにて駆動時の発光領域の最高温度は60°C程度であり、配線側の絶縁層を介して放熱構造と接触させることで、40°C程度に低減可能であった(図5)。熱解析モデル構築のため、温度試験結果より、デバイスの熱抵抗および熱拡散距離のパラメータを抽出した。テスト用のマイクロLEDの配線抵抗を補正し、接合部に加わる電圧を推定したところ、100mAにて約6Vとなり(図6)、LEDによる消費電力は0.6Wと見積もられた。一方、LEDの発光により光エネルギーとして取り出されるエネルギーは、10A/mm²における試作チップの外部量子効率6~8%(図7)を用いると10mWであるから、素子の消費電力はほぼ接合部などで熱に変換されていると判断される。

熱伝導解析は、熱抵抗と温度差に基づく熱抵抗ネットワーク等価回路モデルを仮定して行った。モデル計算に用いたパラメータを表5に示す。全体の熱抵抗は各部の熱抵抗の和で与えられる。評価時のセットアップに対する熱抵抗は、ヒートシンク無し(1.5mm厚の α ゲルを用いてAl製基板に接触)の場合で、87°C/W、ヒートシンク有りの場合で、62°C/Wと見積もられた。この熱抵抗から予測される接合部温度上昇は、それぞれ52°Cおよび37°C(室温25°Cの場合で、実温は77°Cおよび62°C)と、測定結果よりも過大な見積もりとなったが、マイクロLEDアレイ裏面からサファイア基板を通して空気側への熱伝導による冷却効果を見逃した差によるものと推測

表5 熱解析に用いた物性値および層構造一覧

物質	熱伝導率	厚さ	熱拡散広がり
GaN	1.5W/cmK	0.2 μ m	0
AuSn	2.5W/cmK	10 μ m	0
Si	1.5W/cmK	200 μ m	200 μ m
AuSn	2.5W/cmK	30 μ m	30 μ m
Al	2.4W/cmK	1mm	1mm

※熱拡散は等方であると仮定し、厚さと等しく水平方向に拡散するとした熱抵抗ネットワークモデルを用いた

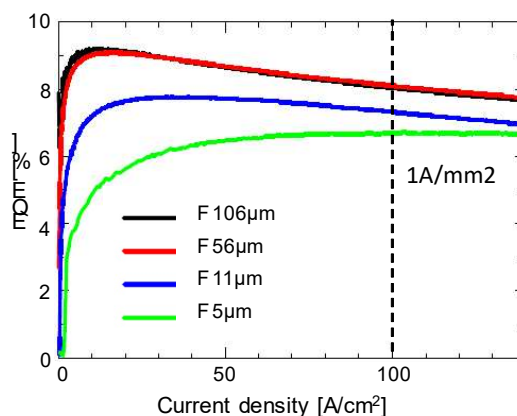


図6 マイクロLEDの外部量子効率(EQE)の駆動電流密度/LEDサイズ依存性

している。以上のモデル評価を基に、光取り出し側からの放熱効果を見出し、熱拡散可能な面積を全画素点灯時に対応する $200\mu\text{m}^2$ とする最も過酷な条件を想定すると、熱抵抗は $145^\circ\text{C}/\text{W}$ と見積もられる。LED駆動電流が $10\text{A}/\text{mm}^2$ 時のLED消費電力 0.6W より、接合部の温度上昇 ΔT は、 87°C と予測される。画素サイズ $50\mu\text{m}^2$ 、画素間隔 $20\mu\text{m}$ の場合（LED面積率50%）、熱抵抗は $1160^\circ\text{C}/\text{W}$ と見積もられ、 $10\text{A}/\text{mm}^2$ の駆動条件では温度上昇率が 150°C を超える。実際には、輝度変調を行う関係で最大輝度時のデューティ比を50%とすれば、温度増加分は 87°C 程度に圧縮可能である。

以上の解析を踏まえて、マイクロLEDアレイの設計用の熱伝達モデルとしては、ディスクリットLEDの設計に用いられているモデルを基にした熱抵抗ネットワーク等価回路を用いた簡易解析で概略を解析可能であることが分かった。本研究終了後、簡易解析ツールの開発を進め、フリーの解析ツールとして提供する事を進める。

作製したマイクロLEDのサイズが発光特性に及ぼす影響を調べた結果を図6に示す。LED径が $50\mu\text{m}$ までは、発光効率にはサイズに依存しないことが分かった。これは、GaN系LEDでは注入されたキャリアの拡散長が短いため、LED周囲に形成された欠陥による発光効率低下の面積が小さい事によると思われる。将来的に、LED径 $10\mu\text{m}$ 以下を狙う場合に於いても、注入電流密度が $1\text{A}/\text{mm}^2$ 程度であれば、欠陥による発光効率低下が2割程度に抑えられるため、微少なマイクロLEDアレイを用いたヘッドマウントディスプレイなども実現の可能性が高いことが確認できた。

以上の研究を通じて、高い駆動電流を擁するLEDアレイを駆動するための方式として、駆動電流供給を縦型のパワートランジスタ、画素選択回路を面内配線を用いた通常MOS集積回路を一体化した駆動用ICに、マイクロLEDアレイを直接接合する方式の有効性が見いだされたため、特許出願を行った。

以上により、本研究テーマで研究開発を進めた技術の有効性が確認されたことから、今後は、画素の微細化に向けた設計ルールの確立、外部のファウンダリによる製造工程の確立、一体化した微小表示デバイスの寿命試験などをクリアすることで、本課題で開発したデバイスの社会実装が進められると期待される